

**REMARKS****I. Introduction**

Claims 1-6, 8 and 10-16 are pending. Claims 10, 12, 13 and 15 are allowed. Claims 1 and 16 remain rejected. Applicants note with appreciation the indication that claims 2 – 6, 8, 11, and 14 would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims. In view of the following remarks, Applicants respectfully submit that all pending claims are in condition for allowance.

**II. Claim Rejections Under 35 U.S.C. § 112**

Claim 1 stands rejected under 35 U.S.C. § 112, first paragraph, as allegedly failing to comply with the enablement requirement. More particularly, the Examiner asserts that “the Examiner has been unable to find a scanner using N-type MOS transistors alone in the specification and drawings.” Thus, the Examiner concludes that one of ordinary skill in the art would not have been enabled to make the claimed N-type MOS solid state imaging device containing a scanner. Applicants traverse this rejection for at least the following reasons.

“A patent need not teach, and preferably omits, what is well known in the art.” *MPEP* § 2164.01. “Applicant may submit factual affidavits under 37 C.F.R. 1.132 or cite references to show what one skill in the art knew at the time of filing the application.” *MPEP* § 2164.05. Applicants submit herewith three references which clearly illustrate that having a scanner comprising only N-type MOS transistors was known and used in *conventional* NMOS (which do not include an AD converter) solid state imaging devices. The Examiner is directed to Figure 3 of Reference 1 (WO2004/025732A1; corresponding to US 2006/000736), for example. Additionally, the English abstracts and figures of References 2 (JP 2003-163586) and 3 (JP 2003

249848) disclose that a scanner using N-type MOS transistors alone was known in the art at the time of the invention.

In view of this evidence, withdrawal of this rejection is respectfully requested.

### III. Claim Rejections Under 35 U.S.C. §§ 102 ad 103

Claim 1 stands rejected under 35 U.S.C. § 102(b) as allegedly being anticipated by Gowda. Claim 16 stands rejected under 35 U.S.C. § 103(a) as allegedly being unpatentable over Gowda in view of Kim. Applicants traverse these rejections for at least the following reasons.

Claim 1 is directed to a solid state imaging device using N-type MOS transistors alone as the transistors included therein. The solid state imaging device of claim 1 comprises, among other things, a comparison/storage unit provided correspondingly to each pixel column of said pixel unit for converting, into a digital signal, said analog signal output from said amplifying element included in each pixel belonging to a pixel row selected in said pixel unit, and for storing said digital signal. In NMOS solid state imaging devices, it is difficult to include an AD converter. As such, conventional NMOS solid state imaging devices do not perform to the level of CMOS solid state imaging devices which are able to incorporate an AD converter.

In rejecting claim 1, the Examiner relies on Gowda, which is expressly directed to a CMOS image sensor (see Abstract). Moreover, while the Examiner admits that the external circuitry associated with the imaging device taught by Gowda may comprise transistors other than N-type MOS transistors, the Examiner argues that “this is a moot point as the external circuitry in the form of the scanner taught in the current application has not been clearly illustrated as containing N-type MOS transistors alone.” Thus, it appears that the Examiner’s position is that while Gowda discloses non N-type MOS transistors, this is irrelevant (even

though claim 1 explicitly recites using only N-type MOS transistors), because the scanner recited in claim 1 might contain non N-type MOS transistors.

There is no disclosure in the present application that the scanner described includes anything other than N-type MOS transistors. Moreover, as described above in reference to the rejection under 35 U.S.C. § 112, it was known in the art at the time of the invention to include a scanner having only N-type MOS transistors in a scanner of a NMOS solid state imaging device. In view of this general knowledge in the art and claim 1's specific recitation of a solid state imaging device using N-type MOS transistors alone, Applicants respectfully submit that Gowda, which discloses a CMOS solid state imaging device and which the Examiner acknowledges may comprise transistors other than N-type MOS transistors cannot anticipate claim 1. Applicants invention is directed to the problems associated with including an AD converter in an NMOS solid state imaging device, problems not existing with CMOS solid state imaging devices such as those described by Gowda.

Kim is also directed to a CMOS solid state imaging device. As such, Kim fails to overcome the deficiencies of Gowda. Accordingly, claim 16, which depends from claim 1, is patentable over the cited references for at least the reasons described references at least for the same reasons described above in reference to claim 1.

#### **IV. Conclusion**

In view of the above remarks, Applicants submit that this application should be allowed and the case passed to issue. If there are any questions regarding this Amendment or the application in general, a telephone call to the undersigned would be appreciated to expedite the prosecution of the application.

10/765,930

To the extent necessary, a petition for an extension of time under 37 C.F.R. 1.136 is hereby made. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account 500417 and please credit any excess fees to such deposit account.

Respectfully submitted,

McDERMOTT WILL & EMERY LLP

*fw.* *Michael E. Fogarty*  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
Phone: 202.756.8000 MEF/DAB:amz  
Facsimile: 202.756.8087  
**Date: February 1, 2008**

**Please recognize our Customer No. 53080  
as our correspondence address.**

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 3 月 25 日 (25.03.2004)

PCT

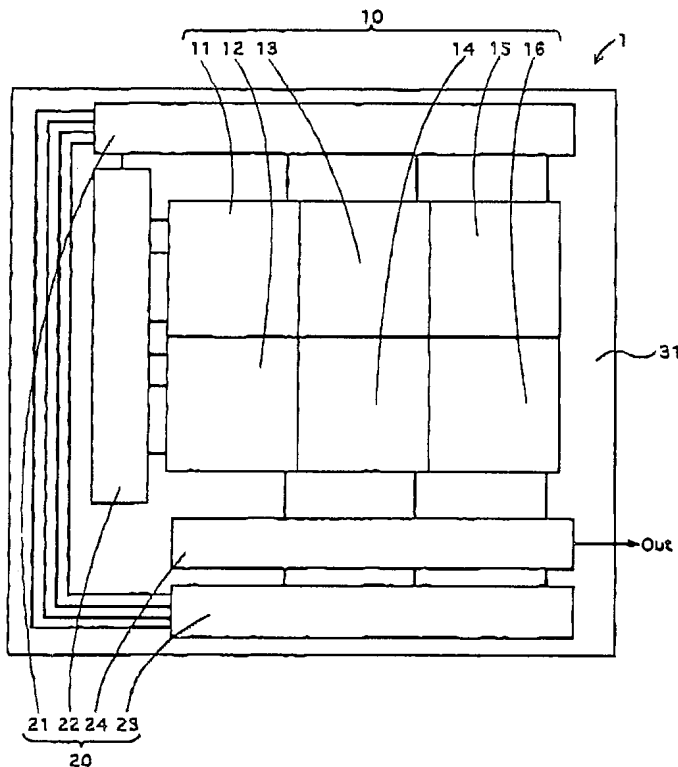
(10) 国際公開番号  
WO 2004/025732 A1

- (51) 国際特許分類: H01L 27/146, H04N 5/335 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2002/009324 (75) 発明者/出願人 (米国についてのみ): 山口 琢己 (YAM-  
AGUCHI, Takumi) [JP/JP]; 〒615-0081 京都府 京都市  
(22) 国際出願日: 2002 年 9 月 12 日 (12.09.2002) (74) 代理人: 中島 司朗 (NAKAJIMA, Shiro); 〒531-0072 大  
阪府 大阪市北区豊崎三丁目 2 番 1 号 淀川 5 番館 6 F  
(25) 国際出願の言語: 日本語 Osaka (JP).  
(26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, JP, KR, US.  
(71) 出願人 (米国を除く全ての指定国について): 松下電 (84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, NL).  
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-  
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市  
大字門真 1 0 0 6 番地 Osaka (JP). 添付公開書類:  
— 国際調査報告書

[続乗有]

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE, AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 固体撮像装置およびその製造方法



(57) Abstract: A solid-state image pickup device of high quality in which the leak current is less generated in the drive and the noise is less generated, and a manufacturing method thereof. In a MOS image pickup device (1), an image pickup region (10) and a drive circuit region (20) are formed in a p-type silicon substrate (31) (hereinafter, referred to as "Si substrate"). The image pickup region (10) has six pixels (11 to 16) arrayed in 2-row x 3-column, and the drive circuit region (20) has a timing generation circuit part (21), a vertical shift register part (22), a horizontal shift register part (23), and a pixel selection circuit part (24). All the transistor parts in the pixels (11 to 16) of the image pickup region (10) and the circuit parts (21 to 24) of the drive circuit region (20) are formed of n-channel MOS transistors.

[続乗有]

WO 2004/025732 A1



(19) **United States**

(12) **Patent Application Publication**  
**Yamaguchi**

(10) Pub. No.: US 2006/0007336 A1

(43) Pub. Date: **Jan. 12, 2006**

(54) SOLID-STATE IMAGE PICKUP DEVICE,  
AND MANUFACTURING METHOD  
THEREOF

(76) Inventor: Takumi Yamaguchi, Kyoto-fu (JP)

**Correspondence Address:**  
**MCDERMOTT WILL & EMERY LLP**  
**600 13TH STREET, N.W.**  
**WASHINGTON, DC 20005-3096 (US)**

(21) Appl. No.: 10/526,564

(22) PCT Filed: Sep. 12, 2002

(86) PCT No.: PCT/JP02/09324

### Publication Classification

(51) Int. Cl.  
H04N 3/14 (2006.01)

(52) U.S. Cl. .... 348/302; 348/308

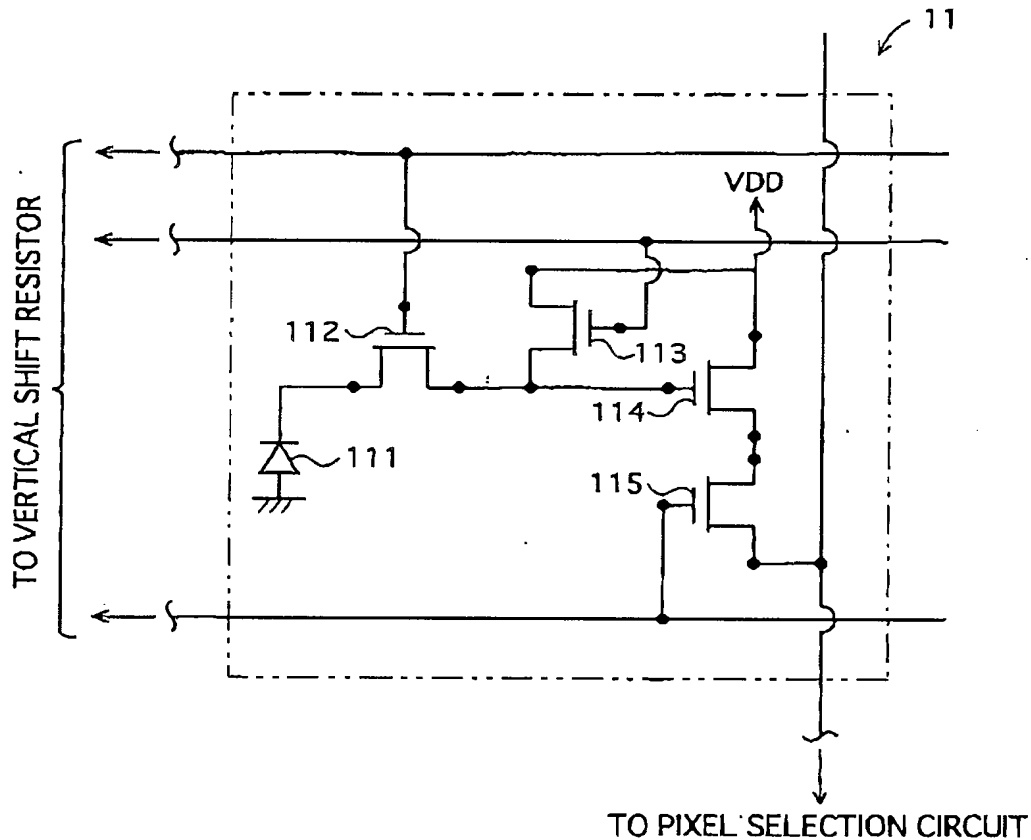
(57) **ABSTRACT**

The present invention aims to provide a solid-state imaging apparatus that realizes less leakage current, high image quality and low noise during the driving operation, and manufacturing method for the same.

A MOS type imaging apparatus 1 includes an imaging region 10 and a driving region 20 both formed on a p-type silicon substrate (hereinafter called an "Si substrate") 31.

The imaging region 10 includes six pixels 11 to 16 disposed in a shape of a matrix having 2 rows and 3 columns. The driving region 20 includes a timing generation circuit 21, a vertical shift resistor 22, a horizontal shift resistor 23, a pixel selection circuit 24, and so on.

All transistors included in the pixels 11 to 16 in the imaging region and the circuits 21 to 24 in the driving circuit region 20 are of n-channel MOS type.



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163586  
(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H03K 17/04  
G09G 3/20  
H03K 17/687  
H04N 5/335

(21)Application number : 2001-362934  
(22)Date of filing : 28.11.2001

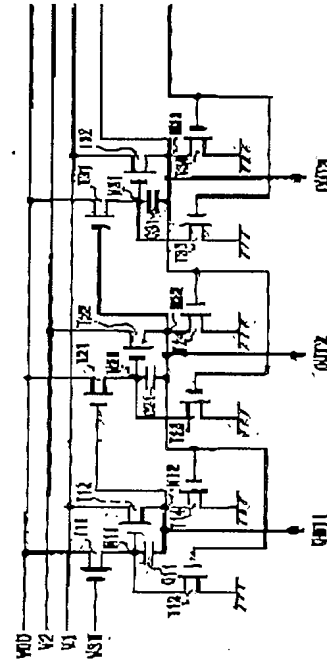
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(72)Inventor : YAMAGUCHI TAKUMI

(54) SIGNAL TRANSMISSION CIRCUIT, SOLID STATE IMAGING APPARATUS, CAMERA AND DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal transmission circuit as a shift register, which can operate in a stable fashion even if it is used with a high-speed circuit power supply.

SOLUTION: At a signal transmission circuit composed of a plurality of unit circuits, pulse voltage is outputted sequentially from unit circuits according to a driving pulse, and a common pulse voltage (OUT2) is applied at the gate of discharge transistors T13 and T14, which discharge electric charge at both ends of a bootstrap capacity C11 provided at the unit circuits. According to this arrangement, electric charge at both ends of a bootstrap capacity C11 can be simultaneously discharged in high-speed, and a shift register can operate at high speed.



## LEGAL STATUS

[Date of request for examination]	17.06.2003
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3699674
[Date of registration]	15.07.2005
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-163586  
(P2003-163586A)

(43)公開日 平成15年6月6日(2003.6.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 3 K 17/04		H 0 3 K 17/04	E 5 C 0 2 4
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 H 5 C 0 8 0
	6 2 3		6 2 3 H 5 J 0 5 5
H 0 3 K 17/687		H 0 4 N 5/335	Z
H 0 4 N 5/335		H 0 3 K 17/687	A
審査請求 未請求 請求項の数25 O L (全 11 頁)			

(21)出願番号 特願2001-362934(P2001-362934)

(22)出願日 平成13年11月28日(2001.11.28)

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 山口 琢己

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナーズ

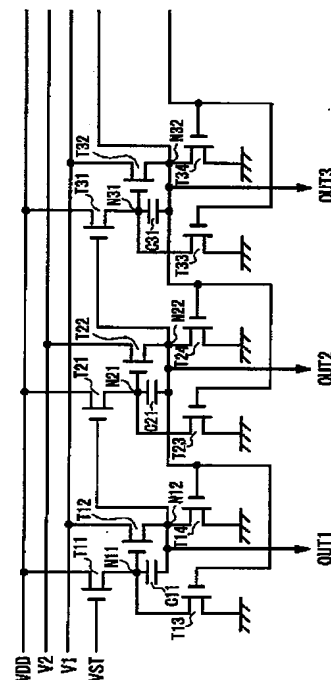
最終頁に続く

(54)【発明の名称】 信号伝送回路、固体撮像装置、カメラおよび表示装置

(57)【要約】

【課題】 回路電源を高速化しても安定な動作が可能である、シフトレジスタとしての信号伝送回路を提供する。

【解決手段】 複数の単位回路で構成され、駆動パルスに従って単位回路からパルス電圧が順次出力され、単位回路に設けられたブートストラップ容量(C11)の両端の電荷を放電するための放電トランジスタ(T13、T14)のゲートに共通のパルス電圧(OUT2)が印加される。これにより、ブートストラップ容量の両端の電荷を高速かつ同時に放電することができ、シフトレジスタの高速化が可能になる。





**【特許請求の範囲】**

【請求項 1】 複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、

前記単位回路に設けられたブートストラップ容量の両端の電荷を放電する放電トランジスタのゲートに共通のパルス電圧が印加されることを特徴とする信号伝送回路。

【請求項 2】 複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、前記単位回路は、

前記駆動パルスをドレインに入力して、前記パルス電圧としてソースから出力する出力トランジスタと、前記出力トランジスタのゲートとソースとの間に接続されたブートストラップ容量と、

前記ブートストラップ容量を充電するために、ソースが前記出力トランジスタのゲートに接続された充電トランジスタと、

ドレインが前記出力トランジスタのゲートに接続され、ゲートが別の単位回路における出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された誤動作防止用トランジスタとを備えたことを特徴とする信号伝送回路。

【請求項 3】 複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、前記単位回路は、

前記駆動パルスをドレインに入力して、前記パルス電圧としてソースから出力する第 1 の出力トランジスタと、前記第 1 の出力トランジスタのゲートとソースとの間に接続された第 1 のブートストラップ容量と、

前記第 1 のブートストラップ容量を充電するために、ソースが前記第 1 の出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは充電パルス線に接続された充電トランジスタと、一端が前記充電トランジスタのゲートに接続された第 2 のブートストラップ容量とを備えたことを特徴とする信号伝送回路。

【請求項 4】 複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、前記単位回路は、

前記駆動パルスをドレインに入力して、前記パルス電圧としてソースから出力する第 1 の出力トランジスタと、前記第 1 の出力トランジスタのゲートとソースとの間に接続された第 1 のブートストラップ容量と、

前記第 1 のブートストラップ容量を充電するために、ソースが前記第 1 の出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは第 1 の充電パルス線に接続された第 1 の充電トランジスタと、

一端が前記第 1 の充電トランジスタのゲートに接続され、他端が第 2 の出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された第 2 のブ

ートストラップ容量と、

前記第 2 のブートストラップ容量を充電するために、ソースが前記第 2 のブートストラップ容量の一端に接続され、ドレインが電源線または接地線または第 2 の充電パルス線に接続され、ゲートが第 3 の出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された第 2 の充電トランジスタとを備えたことを特徴とする信号伝送回路。

【請求項 5】 前記信号伝送回路は、

10 前記第 1 の充電トランジスタのソースにドレインが接続された第 1 の放電トランジスタと、

前記第 2 の充電トランジスタのソースにドレインが接続された第 2 の放電トランジスタとを備えたことを特徴とする請求項 4 記載の信号伝送回路。

【請求項 6】 前記信号伝送回路は、

前記第 1 のブートストラップ容量の前記第 1 の放電トランジスタが接続された端子とは異なる端子に接続された第 3 の放電トランジスタと、

20 前記第 2 のブートストラップ容量の前記第 2 の放電トランジスタが接続された端子とは異なる端子に接続された第 4 の放電トランジスタとを備えたことを特徴とする請求項 5 記載の信号伝送回路。

【請求項 7】 前記第 3 の放電トランジスタと前記第 4 の放電トランジスタが同一のトランジスタであることを特徴とする請求項 6 記載の信号伝送回路。

【請求項 8】 前記第 3 および第 4 の放電トランジスタのゲートには、前記駆動パルスが入力されることを特徴とする請求項 6 または 7 記載の信号伝送回路。

30 【請求項 9】 前記第 2 の放電トランジスタおよび前段の第 3 の放電トランジスタのゲートには、前記第 1 の出力トランジスタのソースまたはソース出力によりドライブされた出力が供給されることを特徴とする請求項 6 から 8 のいずれか一項記載の信号伝送回路。

【請求項 10】 前記第 2 の出力トランジスタは、前段の単位回路における出力トランジスタであり、前記第 3 の出力トランジスタは、前々段の単位回路における出力トランジスタであることを特徴とする請求項 4 から 9 のいずれか一項記載の信号伝送回路。

【請求項 11】 前記信号伝送回路は、前記第 1 の出力トランジスタのゲートにドレインが接続された誤動作防止用トランジスタを備えたことを特徴とする請求項 3 から 10 のいずれか一項記載の信号伝送回路。

【請求項 12】 前記信号伝送回路は、ドレインが前記第 1 の出力トランジスタのゲートに接続され、ゲートが前々段の単位回路における出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された誤動作防止用トランジスタを備えたことを特徴とする請求項 3 から 10 のいずれか一項記載の信号伝送回路。

50 【請求項 13】 ある段において、前記第 1 の出力トランジスタのソースからパルス電圧が出力されている期

間、次段の前記第1の充電トランジスタを動作可能とし、次次段の前記第1の充電トランジスタを動作禁止にするような電源電圧パルスが前記第1の充電トランジスタのドレインに供給されることを特徴とする請求項3から12のいずれか一項記載の信号伝送回路。

【請求項14】 前記第1の充電トランジスタのコンダクタンスが、前記誤動作防止用トランジスタのコンダクタンスよりも小さいことを特徴とする請求項11または12記載の信号伝送回路。

【請求項15】 前記トランジスタは全てNMOSトランジスタであり、前記第1の放電トランジスタのソースには前記第1の出力トランジスタの閾値電圧よりも低い電圧が供給され、前記第2の放電トランジスタのソースには前記第1の充電トランジスタの閾値電圧よりも低い電圧が供給されることを特徴とする請求項5から14のいずれか一項記載の信号伝送回路。

【請求項16】 前記トランジスタは全てNMOSトランジスタであり、前記第4の放電トランジスタのソースには次段の第2の充電トランジスタの閾値電圧よりも低い電圧が供給されることを特徴とする請求項6から14のいずれか一項記載の信号伝送回路。

【請求項17】 前記トランジスタは全てNMOSトランジスタであり、前記誤動作防止用トランジスタのソースには、接地電圧が供給されることを特徴とする請求項11または12記載の信号伝送回路。

【請求項18】 前記トランジスタは全てNMOSトランジスタであり、前記誤動作防止用トランジスタのソースには、前記第1の出力トランジスタの閾値電圧よりも低い電圧が供給されることを特徴とする請求項10または11記載の信号伝送回路。

【請求項19】 前記トランジスタは全てPMOSトランジスタであり、前記第1の放電トランジスタのソースには前記第1の出力トランジスタの閾値電圧よりも高い電圧が供給され、前記第2の放電トランジスタのソースには前記第1の充電トランジスタの閾値電圧よりも高い電圧が供給されることを特徴とする請求項5から14のいずれか一項記載の信号伝送回路。

【請求項20】 前記トランジスタは全てPMOSトランジスタであり、前記第4の放電トランジスタのソースには次段の第2の充電トランジスタの閾値電圧よりも高い電圧が供給されることを特徴とする請求項6から14のいずれか一項記載の信号伝送回路。

【請求項21】 前記トランジスタは全てPMOSトランジスタであり、前記誤動作防止用トランジスタのソースには、電源電圧が供給されることを特徴とする請求項11または12記載の信号伝送回路。

【請求項22】 前記トランジスタは全てPMOSトランジスタであり、前記誤動作防止用トランジスタのソースには、前記第1の出力トランジスタの閾値電圧よりも高い電圧が供給されることを特徴とする請求項11また

は12記載の信号伝送回路。

【請求項23】 請求項3または4記載の信号伝送回路を備えたことを特徴とする固体撮像装置。

【請求項24】 請求項23記載の固体撮像装置を搭載したことを特徴とするカメラ。

【請求項25】 請求項3または4記載の信号伝送回路を備えたことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSイメージセンサ、カメラ、ディスプレイなどを駆動するためのシフトレジスタに適用され、低電圧で駆動できる信号伝送回路に関する。

【0002】

【従来の技術】図4は、従来の信号伝送回路の一構成例を示す回路図である。なお、図4には、説明の便宜上、多数段構成のうち3段部分のみを示している。この信号伝送回路は、次段への出力トランジスタT12、T22、T32と、ブートストラップ容量C11、C21、C31と、ブートストラップ容量を充電する充電トランジスタT11、T21、T31と、放電トランジスタT13、T14、T23、T24、T33、T34とで構成され、電源電圧VDD、駆動パルスV1、V2、およびスタートパルスVSTが供給される。

【0003】次に、このように構成された従来の信号伝送回路の動作について説明する。

【0004】スタートパルスVSTが論理「High」レベルになると、初段の充電トランジスタT11がオンになり、ブートストラップ容量C11が電源電圧VDDへと充電され、ブートストラップ容量C11の充電電圧が出力トランジスタT12の閾値電圧レベルを超えると、初段の出力トランジスタT12がオンする。

【0005】その後、論理「High」レベルの駆動パルスV1が出力トランジスタT12のドレインに入力すると、出力トランジスタT12のゲートには、駆動パルスV1の電圧とブートストラップ容量C11両端の電位差とが足されて印加されることとなり、出力トランジスタT12のゲート電位が駆動パルスV1の電位よりも上昇すると、駆動パルスV1がノードN12から出力パルスOUT1として利用される。

【0006】また同時に、ノードN12の電圧が、2段目の充電トランジスタT21のゲートに印加されて、トランジスタT21がオンになり、ブートストラップ容量C21が電源電圧VDDへと充電され、ブートストラップ容量C21の充電電圧が出力トランジスタT22の閾値電圧レベルを超えると、2段目の出力トランジスタT22がオンする。

【0007】その後、論理「High」レベルの駆動パルスV2が出力トランジスタT22のドレインに入力すると、出力トランジスタT22のゲートには、駆動パル

スV2の電位とブートストラップ容量C21の両端の電位差とが足されて印加されることとなり、出力トランジスタT22のゲート電位が駆動パルスV2の電位よりも上昇すると、駆動パルスV2がノードN22から出力パルスOUT2として利用される。

【0008】また同時に、ノードN22の電圧が、3段目の充電トランジスタT31のゲートに印加されて、充電トランジスタT31がオンになり、ブートストラップ容量C31が電源電圧VDDへと充電され、ブートストラップ容量C31の充電電圧が出力トランジスタT32の閾値電圧レベルを超えると、3段目の出力トランジスタT22がオンする。

【0009】このような動作が繰り返されることで、信号伝送回路は、さらに出力パルスOUT3以降の出力を順次出力することになる。

【0010】

【発明が解決しようとする課題】上記従来の信号伝送回路の問題点について、図5を参照して説明する。

【0011】図5は、NMOSのみを用いた従来の信号伝送回路における各部のパルス電圧を示すタイミングチャートである。この回路は5V系の回路であり、駆動パルスV1、V2の電圧振幅、および電源電圧VDDが5Vの場合を示す。

【0012】図5において、時刻t0において、スタートパルスVSTが5Vに立ち上がると、初段の充電トランジスタT11がオンになり、ブートストラップ容量C11が電源電圧VDDである5Vに向かって充電されていくが、ここで充電トランジスタT11がエンハンスメント型のNMOSの場合には、トランジスタT11の閾値電圧Vtの影響で、出力トランジスタT12のゲートが接続されたノードN11の電圧VN11は、電源電圧VDDである5VからΔH0だけ低い電圧(5V-ΔH0)となり、この状態で出力トランジスタT12がオンする。

【0013】次に、時刻t1において、5Vの駆動パルスV1が出力トランジスタT12のドレインに入力すると、出力トランジスタT12のゲート(ノードN11)には、駆動パルスV1の電圧5Vとブートストラップ容量C11の両端の電位差(5V-ΔH0)が加算された電圧HB1が印加され、ノードN12から振幅H1のパルスが出力されることとなる。

【0014】また同時に、ノードN12の振幅H1のパルス電圧が、2段目の充電トランジスタT21のゲートに印加されて、充電トランジスタT21がオンになるが、トランジスタT21の閾値電圧VTの影響により、出力トランジスタT22のゲートが接続されたノードN21の電圧は、電圧H1からΔH1だけ低い電圧(H1-ΔH1)となり、ブートストラップ容量C21が電圧(H1-ΔH1)へと充電されることとなる。

【0015】同様に、時刻t2、t3の場合も、時刻t

1の動作を繰り返すこととなる。

【0016】このように、従来の信号伝送回路の場合、充電トランジスタのゲートには最大でも5V未満の電圧しか加わらないため、ブートストラップ容量は、電源電圧VDDである5Vよりも低い電圧にしか充電できないこととなる。したがって、ノードN21、N31の電圧が次第に降下して、信号伝送回路は、何段か先では出力パルスを生成することができなくなる。

【0017】特に、回路の電源系の低電圧化、たとえば3V系の回路などになると動作がより難しくなる。

【0018】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、回路電源を高速化または低電圧化しても安定な動作が可能で、高速化または低消費電力化に適した信号伝送回路、およびかかる信号伝送回路が適用される固体撮像装置、かかる固体撮像装置を搭載したカメラ、および上記信号伝送回路が適用される表示装置を提供することにある。

【0019】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る第1の信号伝送回路は、複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、前記単位回路に設けられたブートストラップ容量の両端の電荷を放電するための放電トランジスタのゲートに共通のパルス電圧が印加されることを特徴とする。

【0020】この構成によれば、ブートストラップ容量の両端の電荷を高速で同時に放電することができ、回路電源を高速化しても安定な動作が可能で、高速化に適した信号伝送回路を実現することができる。

【0021】前記の目的を達成するため、本発明に係る第2の信号伝送回路は、複数の単位回路で構成され、駆動パルスに従って単位回路からパルス電圧が順次出力される信号伝送回路であって、単位回路は、駆動パルスをドレインに入力して、パルス電圧としてソースから出力する出力トランジスタと、出力トランジスタのゲートとソースとの間に接続されたブートストラップ容量と、ブートストラップ容量を充電するために、ソースが出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは充電パルス線に接続された充電トランジスタと、ドレインが出力トランジスタのゲートに接続され、ゲートが別の単位回路における出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された誤動作防止用トランジスタとを備えたことを特徴とする。

【0022】この構成によれば、単位回路のブートストラップ容量と充電トランジスタとの間を0V付近にして、当該単位回路の出力トランジスタからパルス電圧が出ないようにすることができる。これにより、出力トランジスタの閾値電圧が低い場合でも誤動作を防止でき、閾値電圧の範囲を広くとることができる。

【0023】前記の目的を達成するため、本発明に係る第3の信号伝送回路は、複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路であって、単位回路は、駆動パルスをドレインに入力して、パルス電圧としてソースから出力する第1の出力トランジスタと、第1の出力トランジスタのゲートとソースとの間に接続された第1のブートストラップ容量と、第1のブートストラップ容量を充電するために、ソースが第1の出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは充電パルス線に接続された充電トランジスタと、一端が充電トランジスタのゲートに接続された第2のブートストラップ容量とを備えたことを特徴とする。

【0024】前記の目的を達成するため、本発明に係る第4の信号伝送回路は、複数の単位回路で構成され、駆動パルスに従って単位回路からパルス電圧が順次出力される信号伝送回路であって、単位回路は、駆動パルスをドレインに入力して、パルス電圧としてソースから出力する第1の出力トランジスタと、第1の出力トランジスタのゲートとソースとの間に接続された第1のブートストラップ容量と、第1のブートストラップ容量を充電するために、ソースが第1の出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは第1の充電パルス線に接続された第1の充電トランジスタと、一端が第1の充電トランジスタのゲートに接続され、他端が第2の出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された第2のブートストラップ容量と、第2のブートストラップ容量を充電するために、ソースが第2のブートストラップ容量の一端に接続され、ドレインが電源線または接地線または第2の充電パルス線に接続され、ゲートが第3の出力トランジスタのソースまたはソース出力によりドライブされた出力に接続された第2の充電トランジスタとを備えたことを特徴とする。

【0025】この構成によれば、まず、第3の（例えば、前々段の単位回路における）出力トランジスタのソース出力が第2の充電トランジスタのゲートに印加されることで、第2のブートストラップ容量が充電され、第2のブートストラップ容量の一端が第1の充電トランジスタのゲートに接続され、他端に第2の（例えば、前段の単位回路における）出力トランジスタの出力が加えられることで、第1の充電トランジスタのゲートに従来のよりも高い電圧が加わることになり、第1の充電トランジスタのゲート電位を電源電圧VDDよりも高くすることができる。これにより、第1のブートストラップ容量を電源電圧VDDに充電することができ、第1のブートストラップ容量への充電電圧の降下を防ぐことができる。したがって、伝送段数が増えることにより、出力パルス電圧が次第に低下したり、何段か先で出力パルスが出なくなることを防止することができる。

【0026】第4の信号伝送回路は、第1の充電トランジスタのソースにドレインが接続された第1の放電トランジスタと、第2の充電トランジスタのソースにドレインが接続された第2の放電トランジスタとを備えることが好ましい。

【0027】また、第4の信号伝送回路は、第1のブートストラップ容量の第1の放電トランジスタが接続された端子とは異なる端子に接続された第3の放電トランジスタと、第2のブートストラップ容量の前記第2の放電トランジスタが接続された端子とは異なる端子に接続された第4の放電トランジスタとを備えることが好ましい。

【0028】この場合、第3の放電トランジスタと第4の放電トランジスタが同一のトランジスタであることが好ましい。

【0029】また、第3および第4の放電トランジスタのゲートには、駆動パルスが入力されることが好ましい。これにより、直接駆動パルスが加わることで、安定して放電を行うことができる。

【0030】また、第2の放電トランジスタおよび前段の第3の放電トランジスタのゲートには、第1の出力トランジスタのソース電圧またはソース電圧によりドライブされた出力が供給されることが好ましい。これにより、第2のブートストラップ容量と、前段の第1のブートストラップ容量とを同時に放電することができる。

【0031】このように、放電トランジスタを4個追加するだけで、ブートストラップ容量の放電ができ、他の外部入力パルスなどが無い規模の小さい回路構成にも本発明を適用することができる。

【0032】第4の信号伝送回路において、第2の出力トランジスタは、前段の単位回路における出力トランジスタであり、第3の出力トランジスタは、前々段の単位回路における出力トランジスタであることが好ましい。

【0033】この構成によれば、シフトレジスタの出力を利用することで、充電トランジスタのゲートに加える余分なパルスを省略し、回路規模を小さくすることができる。

【0034】第3および第4の信号伝送回路は、ドレインが第1の出力トランジスタのゲートに接続された誤動作防止用トランジスタを備えることが好ましい。

【0035】この構成によれば、出力トランジスタの閾値電圧が低い場合でも誤動作を防止でき、閾値電圧の範囲を広くとることができる。

【0036】また、第3および第4の信号伝送回路は、ドレインが第1の出力トランジスタのゲートに接続され、ゲートが前々段の出力トランジスタのソースに接続された誤動作防止用トランジスタを備えることが好ましい。

【0037】この構成によれば、誤動作防止用トランジスタのゲートに前々段の出力トランジスタのソースを接

続するように構成したことで、他の外部入力パルスなど  
が無い規模の小さい回路構成にも本発明を適用すること  
ができる。

【0038】第3および第4の信号伝送回路において、  
ある段の出力トランジスタのソースにパルス電圧が出力  
されている期間、次段の充電トランジスタを動作可能と  
し、次段の充電トランジスタを動作禁止にするような  
電源電圧パルスがドレインに供給されることが好まし  
い。例えば、充電トランジスタがNMOSからなる場合、  
電源電圧パルスとして、「High」レベル電圧を  
次段の充電トランジスタのドレインに供給し、「Low」  
レベル電圧を次段の充電トランジスタのドレインに  
供給する。また、充電トランジスタがPMOSからなる  
場合、電源電圧パルスとして、「Low」レベル電圧を  
次段の充電トランジスタのドレインに供給し、「High」  
レベル電圧を次段の充電トランジスタのドレインに  
供給する。

【0039】この構成によれば、誤動作防止用トランジ  
スタを省略することができ、回路規模を縮小することが  
できる。

【0040】または、第1の充電トランジスタのコンダ  
クタンスが、誤動作防止用トランジスタのコンダクタ  
ンスよりも小さいことが好ましい。

【0041】この構成によれば、第1のブートストラッ  
プ容量のプラス端子側をより0Vに近づけることがで  
き、誤動作をより確実に防止することができる。

【0042】第3および第4の信号伝送回路において、  
トランジスタが全てNMOSトランジスタである場合、  
第1から第4の放電トランジスタのソースおよび誤動作  
防止用トランジスタのソースのうち少なくとも1つに  
は、接地電位が供給される。

【0043】または、第3および第4の信号伝送回路に  
おいて、トランジスタが全てNMOSトランジスタであ  
る場合、第1から第4の放電トランジスタのソースおよ  
び誤動作防止用トランジスタのソースのうち少なくとも  
1つには、第1の出力トランジスタの閾値電圧よりも低  
い電圧が供給される。

【0044】第3および第4の信号伝送回路において、  
トランジスタが全てPMOSトランジスタである場合、  
第1から第4の放電トランジスタのソースおよび誤動作  
防止用トランジスタのソースのうち少なくとも1つに  
は、電源電圧が供給される。

【0045】または、第3および第4の信号伝送回路に  
おいて、トランジスタが全てPMOSトランジスタであ  
る場合、第1から第4の放電トランジスタのソースおよ  
び誤動作防止用トランジスタのソースのうち少なくとも  
1つには、第1の出力トランジスタの閾値電圧よりも高  
い電圧が供給される。

【0046】上記の構成により、充電トランジスタまた  
は出力トランジスタが安定してオフの状態を保つことが

できる。

【0047】前記の目的を達成するため、本発明に係る  
固体撮像装置は、第3または第4の信号伝送回路を備え  
たことを特徴とする。

【0048】前記の目的を達成するため、本発明に係る  
カメラは、本発明に係る固体撮像装置を搭載したことを  
特徴とする。

【0049】前記の目的を達成するため、本発明に係る  
表示装置は、第3または第4の信号伝送回路を備えたこ  
とを特徴とする。

【0050】上記の構成によれば、回路電源を低電圧化  
しても安定な動作を保証することができ、特に低消費電  
力化を図る必要のある携帯用機器に適用される、固体撮  
像装置、それを搭載したカメラ、および液晶表示装置に  
おいて効果を発揮することができる。

【0051】

【発明の実施の形態】以下、本発明の好適な実施の形態  
について、図面を参照して説明する。

【0052】（第1の実施形態）図1は、本発明の第1  
の実施形態に係る信号伝送回路の一構成例を示す回路図  
である。なお、本実施形態が図4に示す従来例と異なる  
点は、前段の放電トランジスタのゲートが次段の出力ト  
ランジスタのソースに共通に接続され、共通の出力パ  
ルス電圧が印加される点にある。その他の構成について  
は、図5の従来例と同じであり、図1において同一の符  
号を付す。

【0053】図1において、スタートパルスVSTが論  
理「High」レベルになると、初段における第1のブ  
ートストラップ容量C11を充電する第1の充電トラン  
ジスタT11がオンになり、第1のブートストラップ容  
量C11が電源電圧VDDにより充電され、第1のブ  
ートストラップ容量C11の充電電圧が出力トランジスタ  
T12の閾値電圧レベルを超えると、初段の出力トラン  
ジスタT12がオンする。

【0054】その後、論理「High」レベルの駆動パ  
ルスV1が出力トランジスタT12のドレインに入力す  
ると、出力トランジスタT12のゲートには、駆動パ  
ルスV1の電圧と第1のブートストラップ容量C11両端  
の電位差とが足されて印加されることとなり、出力ト  
ランジスタT12のゲート電位が駆動パルスV1の電位よ  
りも上昇すると、駆動パルスV1が初段の出力ノードN  
12から出力パルスOUT1として利用される。

【0055】また同時に、駆動パルスV1がノードN1  
2に出力されると、ノードN12にゲートが接続された  
2段目の第1の充電トランジスタT21がオンになり、  
第1のブートストラップ容量C21が電源電圧VDDに  
より充電され、第1のブートストラップ容量C21の充  
電電圧が出力トランジスタT22の閾値電圧レベルを超  
えると、2段目の出力トランジスタT22がオンする。

【0056】その後、論理「High」レベルの駆動パ

ルスV2が出力トランジスタT22のドレインに入力すると、出力トランジスタT22のゲートには、駆動パルスV2の電位と第1のブートストラップ容量C21両端の電位差とが足されて印加されることとなり、出力トランジスタT22のゲート電位が駆動パルスV2の電位よりも上昇すると、駆動パルスV2が2段目の出力ノードN22から出力パルスOUT2として利用される。

【0057】この出力パルスOUT2が、初段における第1の放電トランジスタT13および第2の放電トランジスタT14のゲートに共通に印加されるので、2段目の出力ノードN22に駆動パルスV2が出力された時に、初段の第1のブートストラップ容量C11両端の電荷が高速かつ同時に放電されることになる。

【0058】ここで、本実施形態による信号伝送回路の利点は、第1のブートストラップ容量C11の両端の電荷を高速かつ同時に放電することで、回路電源を高速化しても安定な動作が可能で、高速化に適した信号伝送回路を実現することができる。

【0059】また同時に、駆動パルスV2がノードN22に出力されると、ノードN22にゲートが接続された3段目の第1の充電トランジスタT31がオンになり、第1のブートストラップ容量C31が電源電圧VDDにより充電され、第1のブートストラップ容量C31の充電電圧が出力トランジスタT32の閾値電圧レベルを超えると、3段目の出力トランジスタT32がオンする。

【0060】その後、論理「High」レベルの駆動パルスV1が出力トランジスタT32のドレインに入力すると、出力トランジスタT32のゲートには、駆動パルスV1の電位と第1のブートストラップ容量C31両端の電位差とが足されて印加されることとなり、出力トランジスタT32のゲート電位が駆動パルスV1の電位よりも上昇すると、駆動パルスV1が3段目の出力ノードN32から出力パルスOUT3として利用される。

【0061】この出力パルスOUT3が、2段目における第1の放電トランジスタT23および第2の放電トランジスタT24のゲートに共通に印加されるので、3段目の出力ノードN32に駆動パルスV1が出力された時に、2段目の第1のブートストラップ容量C21両端の電荷が高速かつ同時に放電されることになる。

【0062】このような動作が繰り返されることで、信号伝送回路は、さらに出力パルスを順次出力することになる。

【0063】なお、第1および第2の放電トランジスタのそれぞれのソースは接地電位(0V)としているが、各ソース電圧は、出力トランジスタの閾値電圧よりも小さい値であれば、0Vでなくても同様の効果が得られる。

【0064】(第2の実施形態)図2は、本発明の第2の実施形態に係る信号伝送回路の一構成例を示す回路図である。本実施形態が第1の実施形態と異なる点は、2

段目以降の単位回路において、第2のブートストラップ容量(C22、C32)と、第2のブートストラップ容量を充電する第2の充電トランジスタ(T25、T35)と、第2のブートストラップ容量の両端の電荷を放電する第3の放電トランジスタ(T26、T36)と、3段目以降の単位回路において、第1のブートストラップ容量(C31)のプラス側端子(ノードN31)にドレインが、前々段の出力ノード(N12)にゲートが接続され、ソースが接地される誤動作防止用トランジスタ(T38)とを追加し、第2のブートストラップ容量のプラス側端子(ノードN25、N35)を自身の段における第1の充電トランジスタ(T21、T31)のゲートに接続し、また第2のブートストラップ容量のマイナス側端子(ノードN12、N22)を次段における第2の充電トランジスタ(T25、T35)のゲートに接続した点にある。

【0065】図2において、スタートパルスVST2が論理「High」レベルになると、初段における第1のブートストラップ容量C11を充電する第1の充電トランジスタT11がオンになり、第1のブートストラップ容量C11が電源電圧VDDにより充電され、第1のブートストラップ容量C11の充電電圧が出力トランジスタT12の閾値電圧レベルを超えると、初段の出力トランジスタT12がオンする。

【0066】また、スタートパルスVST1が論理「High」レベルになると、2段目における第2のブートストラップ容量C22を充電する第2の充電トランジスタT25がオンになり、第2のブートストラップ容量C22が電源電圧VDDにより充電される。

【0067】その後、論理「High」レベルの駆動パルスV1が出力トランジスタT12のドレインに入力すると、出力トランジスタT12のゲートには、駆動パルスV1の電圧と第1のブートストラップ容量C11両端の電位差とが足されて印加されることとなり、出力トランジスタT12のゲート電位が駆動パルスV1の電位よりも上昇すると、駆動パルスV1が初段の出力ノードN12から出力パルスOUT1として利用される。

【0068】ここで、本実施形態による信号伝送回路の利点は、充電された第2のブートストラップ容量C22のプラス側端子のノードN25に接続された2段目の第1の充電トランジスタT21のゲートには、出力ノードN12に出力された駆動パルスV1の電圧と第2のブートストラップ容量C22両端の電位差とが足されて印加されることとなり、第1の充電トランジスタT21のゲート電位がドレイン電位である電源電圧VDDよりも上昇するため、2段目の第1のブートストラップ容量C21を電源電圧VDDに充電することができる点にある。

【0069】これによって、2段目の第1のブートストラップ容量C21を充電する第1の充電トランジスタT21が、たとえエンハンスメント型のNMOSであつ

ても、第1のブートストラップ容量C21を電源電圧VDDに確実に充電でき、出力トランジスタT22をオンにすることができる。

【0070】また、出力ノードN12に駆動パルスV1が出力される時、同時に、出力ノードN12にゲートが接続された3段目の第2の充電トランジスタT35がオンし、3段目の第2のブートストラップ容量C32が充電される。

【0071】その後、論理「High」レベルの駆動パルスV2が出力トランジスタT22のドレインに入力すると、出力トランジスタT22のゲートには、駆動パルスV2の電位と第1のブートストラップ容量C21両端の電位差とが足されて印加されることとなり、出力トランジスタT22のゲート電位が駆動パルスV2の電位よりも上昇すると、駆動パルスV2が2段目の出力ノードN22から出力パルスOUT2として利用される。

【0072】また同時に、第2のブートストラップ容量C32のプラス側端子であるノードN35に接続された3段目の第1の充電トランジスタT31のゲートには、出力ノードN22に出力された駆動パルスV2の電圧と第2のブートストラップ容量C32両端の電位差とが足されて印加されることとなり、第1の充電トランジスタT31のゲート電位がドレイン電位である電源電圧VDDよりも上昇するため、3段目の第1のブートストラップ容量C31が電源電圧VDDに確実に充電され、出力トランジスタT32がオンする。

【0073】このような動作が繰り返されることで、信号伝送回路は、さらに出力パルスOUT3以降を順次出力することになる。

【0074】このようにして、全ての信号伝送段において、第1のブートストラップ容量が確実に電源電圧VDDに充電できることとなり、電圧降下の無い低電圧の出力パルスを生成可能な信号伝送回路を実現できる。

【0075】また、ブートストラップ容量に充電した電圧を放電する手段として、回路のトランジスタや電源を少なくするために、2段目における第1のブートストラップ容量C21の場合は、第1の放電トランジスタT23のドレインを第1のブートストラップ容量C21のプラス側端子に接続し、第2の放電トランジスタT24のドレインを第1のブートストラップ容量C21のマイナス側端子に接続し、第1の放電トランジスタT23および第2の放電トランジスタT24のゲートに、次段である3段目の出力トランジスタT32のソースに接続された出力ノードN32を接続する。これにより、3段目の出力ノードN32に駆動パルスV1が出力された時に、2段目における第1のブートストラップ容量C21が放電されることになる。

【0076】一方、2段目における第2のブートストラップ容量C22の場合は、第3の放電トランジスタT26のドレインを第2のブートストラップ容量C22のブ

ラス側端子に接続し、第3の放電トランジスタT26のゲートに、自身である2段目の出力トランジスタT22のソースに接続された出力ノードN22を接続する。これにより、2段目の出力ノードN22に駆動パルスV2が出力された時に、2段目における第2のブートストラップ容量C22が放電されることになる。

【0077】この構成により、放電トランジスタを3個追加するだけで、第1および第2のブートストラップ容量を放電でき、他の外部入力パルスなどが無い規模の小さい回路構成でも、本実施形態の信号伝送回路を実現することができる。

【0078】また、3段目における第1のブートストラップ容量C31のプラス側端子（ノードN31）にドレインが接続され、初段における出力ノードN12にゲートが接続され、ソースが接地された誤動作防止用トランジスタT38を設けている。3段目における第2のブートストラップ容量C32が充電された時、第1の充電トランジスタT31がノードN35の電位により、多少オンする。そして、第1のブートストラップ容量C31が多少充電されるため、出力トランジスタT32の閾値電圧が低い場合には、出力トランジスタT32が若干ではあるがオンしてしまう。この時、初段の出力ノードN12に駆動パルスV1が出力された時に、同時に3段目の出力ノードN32にも駆動パルスV1が出力される可能性がある。

【0079】出力ノードN32に駆動パルスV1が出力されることを防ぐために、誤動作防止用トランジスタT38を設けて、初段の出力ノードN12に駆動パルスV1が出力されている時に、誤動作防止用トランジスタT38をオンして、ノードN31を0V付近にして、3段目の出力ノードN32に駆動パルスV1が出力されないようにする。

【0080】このとき、3段目における第1の充電トランジスタT31のコンダクタンスを誤動作防止用トランジスタT38のコンダクタンスよりも小さくすることで、第1のブートストラップ容量C31のプラス端子側をより0Vに近づけることができ、誤動作をより確実に防止することができる。

【0081】このように、3段目以降の各段に誤動作防止用トランジスタを設けて、誤動作防止用トランジスタのゲートに、前々段の出力パルスを印加することで、出力トランジスタの閾値電圧が低い場合でも誤動作を防止でき、閾値電圧の範囲を広くとることができる。

【0082】また、誤動作防止用トランジスタのゲートに前々段の出力トランジスタのソースを接続するように構成したことで、他の外部入力パルスなどが無い規模の小さい回路構成の場合でも、本実施形態による信号伝送回路を実現することができる。

【0083】なお、放電トランジスタおよび誤動作防止用トランジスタのそれぞれのソースは接地電位（0V）

としているが、各ソース電圧は、出力トランジスタの閾値電圧よりも小さい値であれば、0Vでなくても同様の効果が得られる。

【0084】また、第1および第2の充電トランジスタのドレインには、電源電圧VDDとしてDC電圧が印加されるため、誤動作が起こる可能性が発生し、誤動作防止用トランジスタを組み込む必要があるが、充電トランジスタのドレインに、電源電圧VDDとしてパルス電圧を印加することで誤動作を防止することができる。すなわち、出力トランジスタのソースに出力電圧が発生している期間、次段の充電トランジスタのドレインを「High」レベルとし、次次段の充電トランジスタのドレインを「Low」レベルにすることで、誤動作防止用トランジスタを省略することができる。

【0085】図3は、NMOSのみを用いた図2の信号伝送回路における各部のパルス電圧を示すタイミングチャートである。この回路は3V系の回路であり、駆動パルスV1、V2の電圧振幅、および電源電圧VDDが3Vの場合を示す。ただし、スタートパルスVST2の電圧振幅は5V、スタートパルスVST1の電圧振幅は3Vとする。ここで、スタートパルスVST2の電圧振幅のみ5Vとするのは、スタートパルスVST2が入力される初段の第1の充電トランジスタT11の場合のみ、前段からの高い電圧が供給できないため、スタートパルスVST2のみ駆動パルスV1、V2の電圧振幅である3Vよりも高い5Vで第1の充電トランジスタT11を駆動することにより、第1の充電トランジスタT11による電圧降下を防止し、第1のブートストラップ容量C11を電源電圧VDDである3Vに充電可能にするためである。

【0086】図3において、時刻t0において、スタートパルスVST2の電圧が5Vに立ち上がり、エンハンスメント型のNMOSである第1の充電トランジスタT11の閾値電圧Vtがあった場合でも、トランジスタT11を介して第1のブートストラップ容量C11が電源電圧VDDである3Vに充電され、出力トランジスタT12がオンする。

【0087】同時に、スタートパルスVST1の電圧が3Vに立ち上がり、第2の充電トランジスタT25を介して第2のブートストラップ容量C22が充電される。

【0088】次に、時刻t1において、駆動パルスV1が3Vに立ち上がり、出力トランジスタT12のドレインに入力すると、出力トランジスタT12のゲートには、駆動パルスV1の電圧3Vとブートストラップ容量C11両端の電位差3Vとが足された高い電圧HB1電圧が印加されるため、出力ノードN12から3V振幅の駆動パルスV1が出力パルスOUT1として確実に出力されることになる。

【0089】そして同時に、第2のブートストラップ容量C22のプラス側端子に接続されたノードN25の高

電圧HB25が、第1の充電トランジスタT21のゲートに入力され、トランジスタT21がオンして、第1のブートストラップ容量C21が確実に電源電圧VDDである3Vに充電されることになる。

【0090】また、この時、ノードN35は3Vより低い電圧(3V-ΔH35)が充電され、第1の充電トランジスタT31のゲートにも同じ電圧が印加される。この場合、第1の充電トランジスタT31のソースに接続されたノードN31の電位が第1の充電トランジスタT31の閾値電圧以上にならないように、誤動作防止トランジスタT38をオンしてノードN31を接地電位の方向に近づけることで、時刻t1に、ノードN32に駆動パルスV1が出力されることを防ぐことができる。

【0091】同様にして、時刻t2、t3の場合も、時刻t1の動作を繰り返すこととなる。

【0092】以上のように、本実施形態によれば、第1の充電トランジスタのゲートには常に、第2のブートストラップ容量のプラス側端子電圧が加わるため、第1のブートストラップ容量を確実に電源電圧3Vに充電できることとなり、電圧降下の無い、3Vの低電圧の出力パルスを生成可能な信号伝送回路を実現できる。

【0093】また、本実施形態では、NMOSトランジスタの場合について例示および説明したが、全てPMOSトランジスタである場合についても、同様な効果を得ることができる。

【0094】また、本実施形態では、出力トランジスタのソース電圧を、ドライブ回路を用いて振幅を大きくし電圧を上げることができる。

#### 【0095】

【発明の効果】以上説明したように、本発明によれば、次段のブートストラップ容量を電源電圧VDDに充電することができる、ブートストラップ容量への充電電圧の降下を防ぐことができる。したがって、伝送段数が増えることにより、出力パルス電圧が次第に低下したり、何段か先で出力パルスが出なくなることを防止することができる。これによって、安定な低電圧駆動が可能な信号伝送回路を実現することができる。

【0096】また、かかる信号伝送回路は、液晶ディスプレイ、MOS型撮像装置の低電圧駆動実現の要請に沿いながら、信号伝送回路をシフトレジスタに使用して、低電圧化を実現とするものであって、産業上極めて有用である。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る信号伝送回路の一構成例を示す回路図

【図2】 本発明の第2の実施形態に係る信号伝送回路の一構成例を示す回路図

【図3】 図2の信号伝送回路における各部のパルス電圧を示すタイミングチャート

【図4】 従来の信号伝送回路の一構成例を示す回路図



17

18

【図5】 図4の信号伝送回路における各部のパルス電圧を示すタイミングチャート

【符号の説明】

C11、C21、C31 第1のブートストラップ容量

C22、C32 第2のブートストラップ容量

OUT1、OUT2、OUT3 出力パルス（走査パルス）

T11、T21、T31 第1の充電トランジスタ

T25、T35 第2の充電トランジスタ \*

\* T12、T22、T32 出力トランジスタ

T13、T23、T33 第1の放電トランジスタ

T14、T24、T34 第2の放電トランジスタ

T26、T36 第3の放電トランジスタ

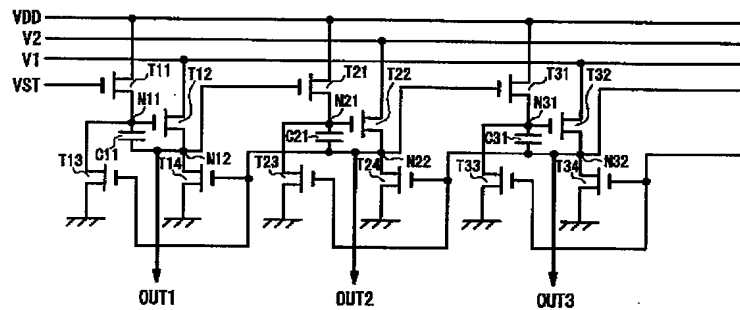
T38 誤動作防止用トランジスタ

V1、V2 駆動パルス

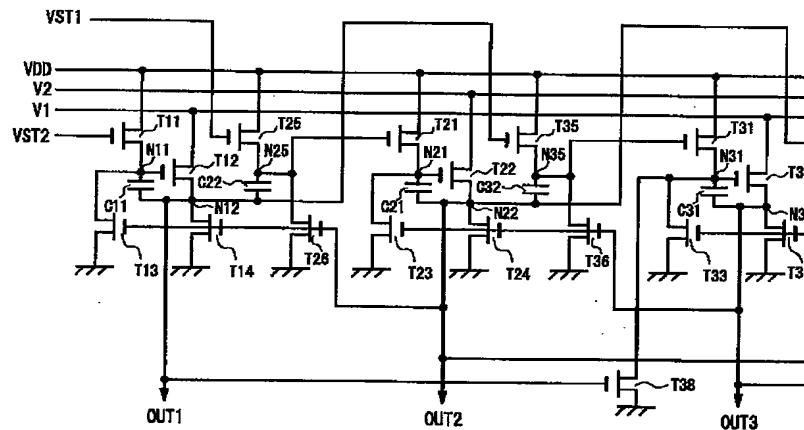
VDD 電源電圧

VST、VST1、VST2 スタートパルス

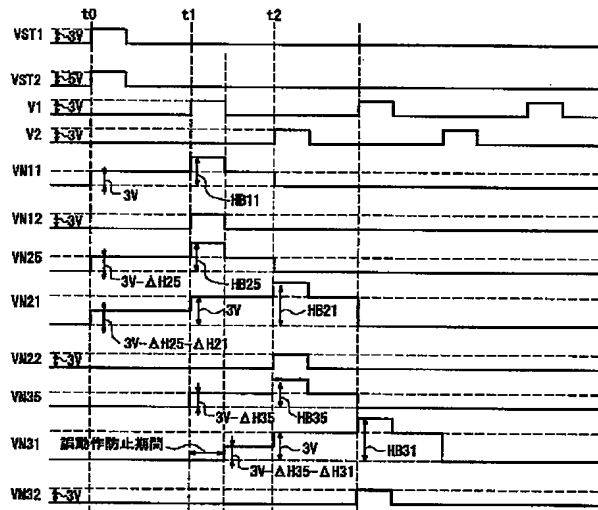
【図1】



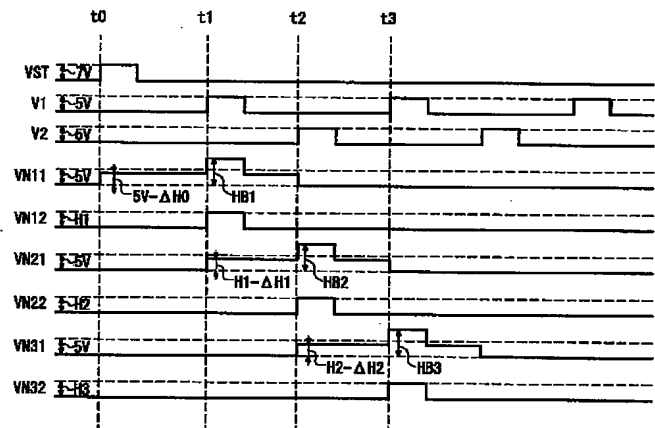
【図2】



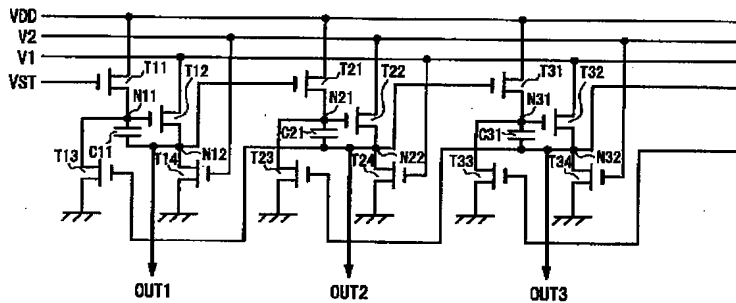
【図 3】



【図 5】



【図 4】



フロントページの続き

F ターム(参考) 5C024 CY42 GY31 HX35 HX40 HX55  
 5C080 BB05 DD08 FF12 GG14 JJ03  
 JJ04  
 5J055 AX02 AX14 BX16 CX30 DX12  
 DX42 DX56 DX73 EX02 EX07  
 EY10 EY21 EZ18 FX18 GX01  
 GX04

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-249848

(43)Date of publication of application : 05.09.2003

(51)Int.Cl.

H03K 19/0175

(21)Application number : 2002-049107

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 26.02.2002

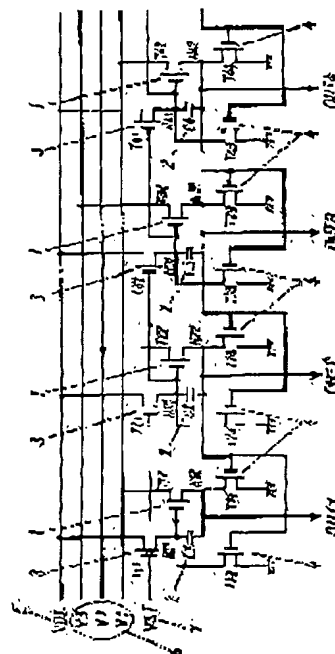
(72)Inventor : KASUGA SHIGETAKA  
YAMAGUCHI TAKUMI

## (54) ACTIVATING METHOD OF SIGNAL TRANSMISSION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide activating method of a signal transmission circuit that can be activated with low voltage and low electric power consumption, used for a shift register for activating a liquid crystal display or a MOS imaging device.

**SOLUTION:** In the shift register for a dynamic circuit using a bootstrap, it is configured such that a high voltage side terminal with a capacity for the bootstrap is connected to the gate of a charge transistor for charging the bootstrap capacity for the shift register on the next stage to high, to make a drain of a charge transistor on the subsequent tier to be low voltage.



## LEGAL STATUS

[Date of request for examination]

09.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3674592

[Date of registration]

13.05.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁（J P）(12)公開特許公報（A）(11)特許出願公開番号  
特開2003－249848  
（P2003－249848A）  
(43)公開日 平成15年9月5日(2003.9.5)

(51)Int.Cl.<sup>7</sup>識別記号F Iテーマコード\*（参考）  
H 0 3 K 19/0175H 0 3 K 19/001 0 1 F 5 J 0 5 6

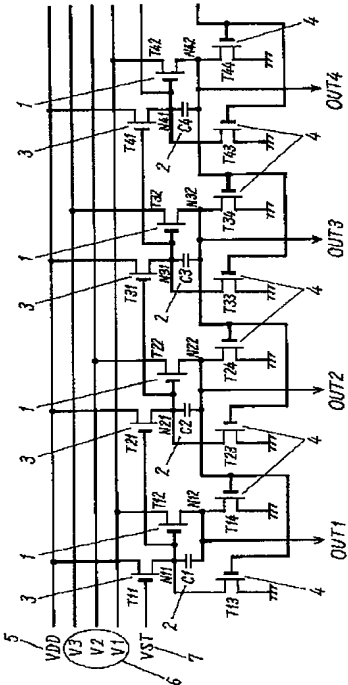
審査請求 未請求 請求項の数4 O L （全 6 頁）

(21)出願番号	特願2002－49107(P2002－49107)	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成14年2月26日(2002.2.26)	(72)発明者	春日 繁孝 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(72)発明者	山口 琢己 大阪府門真市大字門真1006番地 松下電器産業株式会社内
		(74)代理人	100097445 弁理士 岩橋 文雄 （外2名）

最終頁に続く

(54)【発明の名称】 信号伝送回路の駆動方法

(57)【要約】  
【課題】 液晶ディスプレイ、MOS型撮像装置を駆動するためのシフトレジスタに使用して、低電圧、低消費電力で駆動できる信号伝送回路の駆動方法を提供する。  
【解決手段】 ブートストラップを用いたダイナミック回路のシフトレジスタにおいて、ブートストラップ用容量のH i g h電圧側の端子が、次段のシフトレジスタのブートストラップ用容量をH i g hに充電するための充電トランジスタのゲートに接続し、次々段の充電トランジスタのドレインがL o w電圧になるように構成する。



## 【特許請求の範囲】

【請求項 1】 複数の単位回路で構成され、駆動パルスに従って前記単位回路からパルス電圧が順次出力される信号伝送回路の駆動方法であって、前記単位回路は、前記駆動パルスをドレインに入力して、前記パルス電圧としてソースから出力する出力トランジスタと、前記出力トランジスタのゲートとソースとの間に接続されたブートストラップ容量と、前記ブートストラップ容量を充電するためにソースが前記出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは充電パルス線に接続された充電トランジスタとを備え、N 段目の単位回路の前々段の単位回路（N-2 段目単位回路）の前記出力トランジスタのソースから前記パルス電圧が出ている期間は、各単位回路の充電トランジスタが N 型トランジスタの場合は、前段の単位回路（N-1 段目単位回路）の出力トランジスタのドレイン電圧が High レベルで、前記 N 段目単位回路の出力トランジスタのドレイン電圧が Low レベル、各単位回路の充電トランジスタが P 型トランジスタの場合は前記前段の単位回路（N-1 段目単位回路）の出力トランジスタのドレイン電圧が Low レベル、前記 N 段目単位回路の出力トランジスタのドレインが High レベルであることを特徴とする信号伝送回路の駆動方法。

【請求項 2】 前記前々段の単位回路（N-2 段目単位回路）の出力トランジスタのドレインには、次段の単位回路（N+1 段目単位回路）の出力トランジスタのドレインと同一の電圧が加わることを特徴とする請求項 1 に記載の信号伝送回路の駆動方法。

【請求項 3】 前記前々段の単位回路（N-2 段目単位回路）の出力トランジスタのドレイン電圧と前記次段の単位回路（N+1 段目単位回路）の出力トランジスタのドレイン電圧とが同一の電圧 V<sub>a</sub> で、前記前段の単位回路（N-1 段目単位回路）の出力トランジスタのドレイン電圧と次々段の単位回路（N+2 段目単位回路）の出力トランジスタのドレイン電圧とが同一の電圧 V<sub>b</sub> で、前記 N 段目の単位回路の出力トランジスタのドレイン電圧と次々々段単位回路（N+3 段目単位回路）の出力トランジスタのドレイン電圧とが同一の電圧 V<sub>c</sub> であり、出力トランジスタのドレインが V<sub>a</sub>、V<sub>b</sub>、V<sub>c</sub> の 3 相駆動である請求項 1 または請求項 2 に記載の信号伝送回路の駆動方法。

【請求項 4】 前記充電トランジスタのドレイン電圧が Low レベルの時、0 V である請求項 1 ないし請求項 3 のいずれかに記載の信号伝送回路の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイ、MOS 型撮像装置を駆動するためのシフトレジスタに使用して、低電圧、低消費電力で駆動できる信号伝送回路の駆動方法に関するものである。

## 【0002】

【従来の技術】 図 3 は、従来の信号伝送回路の構成を示す一例である。出力トランジスタ 1 とブートストラップ用容量 2 とブートストラップ用容量充電トランジスタ 3 と放電トランジスタ 4 と VDD 電源 5 と V<sub>1</sub>、V<sub>2</sub> の駆動パルス 6 とスタートパルス VST 7 により構成されている。信号伝送回路のスタートパルス VST 7 がブートストラップ用容量充電トランジスタ T<sub>11</sub> のゲートに入力することでブートストラップ用容量 C<sub>1</sub> が VDD 電源 5 のプラス方向に充電され出力トランジスタ T<sub>12</sub> がオンする。その後 V<sub>1</sub> が出力トランジスタ T<sub>12</sub> のドレインに入力すると、出力トランジスタ T<sub>12</sub> のゲートには、V<sub>1</sub> 電位とブートストラップ用容量 C<sub>1</sub> 両端の電位差がプラスされる形で印加されることとなり、出力トランジスタ T<sub>12</sub> のゲート下の電位が V<sub>1</sub> より大きくできる場合、接点 N<sub>12</sub> に V<sub>1</sub> パルスが出力できるようになる。この出力が信号伝送回路の出力 OUT<sub>1</sub> として利用される。また同時に接点 N<sub>12</sub> の電圧が、次段のブートストラップ用容量充電トランジスタ T<sub>21</sub> のゲートに印加されブートストラップ用容量 C<sub>2</sub> が充電され出力トランジスタ T<sub>22</sub> がオンする。

【0003】 その後 V<sub>2</sub> が出力トランジスタ T<sub>22</sub> のドレインに入力すると、出力トランジスタ T<sub>22</sub> のゲートには、V<sub>2</sub> 電位とブートストラップ用容量 C<sub>2</sub> 両端の電位差がプラスされる形で印加されることとなり、出力トランジスタ T<sub>22</sub> のゲート下の電位が V<sub>2</sub> より大きくできる場合、接点 N<sub>22</sub> に V<sub>2</sub> パルスが出力できるようになる。この出力が信号伝送回路の出力 OUT<sub>2</sub> として利用される。また同時に接点 N<sub>22</sub> の電圧が、次段のブートストラップ用容量充電トランジスタ T<sub>31</sub> のゲートに印加されブートストラップ用容量 C<sub>3</sub> が充電され出力トランジスタ T<sub>32</sub> がオンする。この時、同時に接点 N<sub>22</sub> の電圧は、放電トランジスタ T<sub>13</sub>、T<sub>14</sub> のゲートに加えられ前段のブートストラップ用容量 C<sub>1</sub> が放電される。

【0004】 このような動作が繰り返されることで、信号伝送回路は、OUT<sub>3</sub>、OUT<sub>4</sub> など順次、出力を出す動作を可能にできる。

## 【0005】

【発明が解決しようとする課題】 図 4 は、NMOS のみを用いた従来の駆動および出力である。この回路は 5 V 系の回路であり、V<sub>1</sub>、V<sub>2</sub> の駆動パルス 6 の電圧振幅、スタートパルス VST 7 の電圧振幅および VDD 5 電圧の全てが 5 V の場合を示す。

【0006】 時刻 t<sub>0</sub> の時、スタートパルス VST 7 の電圧 5 V がブートストラップ用容量充電トランジスタ T<sub>11</sub> のゲートに入力することでブートストラップ用容量 C<sub>1</sub> が VDD 5 の 5 V のプラス方向に充電されて行くが、ブートストラップ用容量充電トランジスタ T<sub>11</sub> がエンハンスメント型の NMOS の場合には、T<sub>11</sub> の閾

値電圧  $V_t$  の影響で、 $T_{11}$  のゲート下の電位が  $5V$  にならないため、 $C_1$  は  $V_{DD5}$  の  $5V$  から  $\Delta H_0$  だけ低い電圧となり出力トランジスタ  $T_{12}$  がオンする。次に時刻  $t_1$  の時、 $V_1$  がトランジスタ  $T_{12}$  のドレインに入力すると、出力トランジスタ  $T_{12}$  のゲートには、 $V_1$  電位とブートストラップ用容量  $C_1$  両端の電位差 ( $5V - \Delta H_0$ ) がプラスされた  $H_{B1}$  電圧が印加され、接点  $N_{12}$  に  $H_1$  の振幅のパルスが出力することとなる。また接点  $N_{12}$  のパルス振幅  $H_1$  を、次段のブートストラップ用容量充電トランジスタ  $T_{21}$  のゲートに入力することでブートストラップ用容量  $C_2$  が ( $H_1 - \Delta H_1$ ) に充電されることとなる。

【0007】同様に、時刻  $t_2$ 、 $t_3$ 、 $t_4$  の場合も時刻  $t_1$  の動作を繰り返すこととなる。

【0008】この回路の場合、ブートストラップ用容量充電トランジスタ  $3$  のゲートには最大でも  $5V$  未満の電圧しか加わらないため、ブートストラップ用容量  $2$  の充電電圧は電源  $V_{DD5}$  の  $5V$  より低い電圧にしか充電できないこととなる。したがって、 $N_{21}$ 、 $N_{31}$ 、 $N_{41}$  の電位が次第に降下して信号伝送回路が何段か先では出力が出なくなる。

【0009】特に回路の電源系の低電圧化、たとえば  $3V$  系の回路などになると動作がより難しくなる。

【0010】

【課題を解決するための手段】本発明の信号伝達回路の駆動方法は、複数の単位回路で構成され、駆動パルスにしたがって前記単位回路からパルス電圧が順次出力される信号伝送回路の駆動方法であって、前記単位回路は、前記駆動パルスをドレインに入力して、前記パルス電圧としてソースから出力する出力トランジスタと、前記出力トランジスタのゲートとソースとの間に接続されたブートストラップ容量と、前記ブートストラップ容量を充電するためにソースが前記出力トランジスタのゲートに接続され、ドレインが電源線または接地線あるいは充電パルス線に接続された充電トランジスタとを備え、 $N$  段目の単位回路の前々段の単位回路 ( $N-2$  段目単位回路) の前記出力トランジスタのソースから前記パルス電圧が出ている期間は、各単位回路の充電トランジスタが  $N$  型トランジスタの場合は、前段の単位回路 ( $N-1$  段目単位回路) の出力トランジスタのドレイン電圧が  $H_{igh}$  レベルで、前記  $N$  段目単位回路の出力トランジスタのドレイン電圧が  $Low$  レベル、各単位回路の充電トランジスタが  $P$  型トランジスタの場合は前記前段の単位回路 ( $N-1$  段目単位回路) の出力トランジスタのドレイン電圧が  $Low$  レベル、前記  $N$  段目単位回路の出力トランジスタのドレインが  $H_{igh}$  レベルであることを特徴とする。

【0011】したがって、ブートストラップ用容量のプラス側に接続された出力トランジスタのゲートの電位を次段のブートストラップ用容量充電トランジスタのゲ

トに接続することで、次段のブートストラップ用容量充電トランジスタのゲートには従来よりも高い電圧が加わることとなり、ブートストラップ用容量充電トランジスタのゲート下の電位を  $V_{DD}$  電源電圧より高くすることができる。これにより次段のブートストラップ用容量に  $V_{DD}$  電源電圧を充電することができ、容量への充電電圧の降下を防ぐことができる。そして伝送段数が増えることによる  $N_{21}$ 、 $N_{31}$ 、 $N_{41}$  の出力の低下および出力が出なくなることを防止することができる。

【0012】

【発明の実施の形態】図 1 は、本発明の実施の形態における信号伝送回路の構成図である。出力トランジスタ  $1$  と、ブートストラップ用容量  $2$  と、ブートストラップ用容量充電トランジスタ  $3$  と、放電トランジスタ  $4$  と、 $V_1$ 、 $V_2$ 、 $V_3$  の駆動パルス  $6$  と、スタートパルス  $V_{ST7}$  とにより構成されている。信号伝送回路のスタートパルス  $V_{ST7}$  がブートストラップ用容量充電トランジスタ  $T_{11}$  のゲートに入力することで、ブートストラップ用容量  $C_1$  がプラス方向に充電され出力トランジスタ  $T_{12}$  がオンする。その後、 $V_1$  が出力トランジスタ  $T_{12}$  のドレインに入力すると、出力トランジスタ  $T_{12}$  のゲートには、 $V_1$  電位とブートストラップ用容量  $C_1$  両端の電位差がプラスされる形で印加されることとなり、出力トランジスタ  $12$  のゲート下の電位が  $V_1$  より大きくできる場合、接点  $N_{12}$  に  $V_1$  パルスが出力できるようになる。この出力が信号伝送回路の出力  $OUT_1$  として利用される。

【0013】特に、この回路の利点は、ブートストラップ用容量  $C_1$  のプラス側の端子である接点  $N_{11}$  の電圧が、次段のブートストラップ用容量充電トランジスタ  $T_{21}$  のゲートに印加されているため、次段のブートストラップ用容量充電トランジスタ  $T_{21}$  のゲートに高い電圧が印加できる。したがって、次段のブートストラップ用容量充電トランジスタ  $T_{21}$  が、たとえエンハンスメント型の  $NMOS$  であっても、ブートストラップ用容量  $C_2$  が  $V_{DD}$  電源電圧に確実に充電でき、出力トランジスタ  $T_{22}$  をオンできることである。

【0014】その後、 $V_2$  が出力トランジスタ  $T_{22}$  のドレインに入力すると、出力トランジスタ  $T_{22}$  のゲートには、 $V_2$  電位とブートストラップ用容量  $C_2$  両端の電位差がプラスされる形で印加されることとなり、出力トランジスタ  $T_{22}$  のゲート下の電位が  $V_2$  より大きくでき、接点  $N_{22}$  に  $V_2$  パルスが出力できるようになる。この出力が信号伝送回路の出力  $OUT_2$  として利用される。

【0015】また同時に、ブートストラップ用容量  $C_2$  のプラス側の端子である接点  $N_{21}$  の電圧が、次段のブートストラップ用容量充電トランジスタ  $T_{31}$  のゲートに印加され、ブートストラップ用容量  $C_3$  が  $V_{DD}$  電源電圧に確実に充電され出力トランジスタ  $T_{32}$  がオンす

る。

【0016】このようにして全ての信号伝送段において、ブートストラップ用容量2のプラス側の端子電圧が次段のブートストラップ用容量充電トランジスタ3のゲートに加わるため、次段のブートストラップ用容量を確実にVDD電源電圧に充電できることとなり、電圧降下の無い、低電圧、低消費電力の信号伝送回路を実現できる。

【0017】この回路においては、上記のように出力OUT1に出力トランジスタT12のドレイン電圧V1が出ている間は、次段のブートストラップ用容量C2がブートストラップ用容量充電トランジスタT21のドレイン電圧VDDの3Vに充電されるので、T31の閾値電圧が低い場合にはブートストラップ用容量充電トランジスタT31がオンする可能性がある。ブートストラップ用容量充電トランジスタT31がオンすると、ブートストラップ用容量C3は、VDD電源電圧のプラス電圧方向に充電される。ブートストラップ用容量C3が充電すると、出力トランジスタT32がオンして、出力OUT3に出力トランジスタT32のドレイン電圧V1の一部が出るという誤動作の可能性があるため、V3パルスはLowレベルにする必要がある。

【0018】このとき、特にV3パルスのLowレベルを0Vにしておくと、素子外部からの入力電圧数を減らすことができ、回路規模の縮小もでき、安定する。

【0019】したがって、信号伝送回路において、必要とされる出力OUT1に対し、次々段の出力OUT3に関係する出力トランジスタのドレインのパルスをLowレベルにすれば良い。同様に、信号伝送回路において、必要とされるN段目の出力が出ている間は、その出力より先の次々段(N+2段目)の出力に関係する出力トランジスタのドレインのパルスをLowレベルにすれば、信号伝送回路の(N+2段目)の出力の誤動作を防ぐことができる。

【0020】このような手段を実現するために、出力トランジスタのドレインパルスの種類を最も少なくするためには、3種類のパルスがあれば良いため、出力トランジスタのドレインパルスは、3相駆動を行う場合が最も駆動回路を少なくすることができる。

【0021】また、ブートストラップ用容量2に充電した電圧を放電する手段として、回路のトランジスタや電源を少なくする方法として、ブートストラップ用容量C1の場合は放電トランジスタT13のソース側をブートストラップ用容量C1のプラス側へ接続し、放電トランジスタT14のソース側をブートストラップ用容量C1のマイナス側へ接続し、放電トランジスタT13、T14のゲートに次段出力トランジスタのソース側の接点N22を接続することで、接点N22にV2パルスが出力された時にブートストラップ用容量C1が放電される。

【0022】この構成により、放電トランジスタを2個

追加するだけで放電ができ、他の外部入力パルスなどが無い規模の小さい回路構成で信号伝送回路を実現することができる。

【0023】図2は、NMOSのみを用いた本発明の実施の形態における駆動および出力である。この回路はV1、V2、V3の駆動パルス6の電圧振幅およびVDD電源電圧が3Vで、スタートパルスVST7の電圧振幅が5Vの場合を示す。

【0024】図1を見ると、スタートパルスVST7が入力するブートストラップ用容量充電トランジスタT11の場合のみブートストラップ用容量C11のプラス側の端子電圧が供給できないため、スタートパルスVST7のみV1、V2の駆動電圧より高い電圧の5Vで駆動することでブートストラップ用容量C1をVDD電源電圧の3Vに充電することができる。したがって、スタートパルスVST7の電圧をV1、V2の駆動電圧より高くすることでスタートパルスVST7の入力トランジスタでの電圧降下を防ぐことができる。

【0025】時刻t0の時、スタートパルスVST7の電圧は、エンハンスメント型のNMOSであるブートストラップ用容量充電トランジスタT11の閾値電圧Vtがあつた場合でもT11のゲート下の電圧が3V以上になるように5Vを印加した。これでブートストラップ用容量C1がVDD電源電圧の3Vに充電される。

【0026】次に時刻t1の時、V1が出力トランジスタT12のドレインに入力すると、出力トランジスタT12のゲートには、V1電位3Vとブートストラップ用容量C1両端の電位差3Vがプラスされた高い電圧であるHB1電圧が印加されるため、接点N12に3V振幅のV1パルスが確実に出力することとなる。またブートストラップ用容量C1のプラス側の端子である接点N11のパルスHB1を、次段のブートストラップ用容量充電トランジスタT21のゲートに入力することでブートストラップ用容量C2が確実にVDD電源電圧の3Vに充電されることとなる。この時、ブートストラップ用容量C2の電圧が、次々段のブートストラップ用容量充電トランジスタT31のゲートに入力することでブートストラップ用容量C3がプラスに充電されるため、OUT3に出力がでる誤動作を防止するようにV3のLowレベルを0Vとしている。

【0027】同様に、時刻t2、t3、t4の場合も時刻t1の動作を繰り返すこととなる。この図の場合、時刻t1ではV1がHighで、V3がLowであり、時刻t2ではV2がHighで、V1がLowであり、時刻t3ではV3がHighで、V2がLowであり、時刻t4では、時刻t1と同じでV1がHighで、V3がLowとして、誤動作を防止している。

【0028】このように本実施の形態の場合、次段のブートストラップ用容量充電トランジスタ3のゲートには常にブートストラップ用容量2のプラス側の端子電圧が

加わるため次段のブートストラップ用容量を確実に 3V に充電できることとなり、電圧降下の無い、3V の低電圧で低消費電力の信号伝送回路を実現できる。

【0029】また、上記の実施の形態では、N型MOS のトランジスタの場合を示したが、全てP型MOS の場合についても、同様な効果を得ることができる。

【0030】

【発明の効果】以上説明したように、本発明の信号伝送回路の駆動方法では、ブートストラップ用容量のプラス側が接続された出力トランジスタのゲートの電位を次段のブートストラップ用容量充電トランジスタのゲートに接続することで、次段のブートストラップ用容量充電トランジスタのゲートには、従来よりも高い電圧が加わることとなり、ブートストラップ用容量充電トランジスタのゲート下の電位をブートストラップ用容量充電トランジスタのドレイン電圧より高くすることができる。これにより次段のブートストラップ用容量に次段のブートストラップ用容量充電トランジスタのドレイン電圧を確実に充電することができ、容量への充電電圧の降下を防ぐことができる。したがって伝送段数が増えることによる出力の低下および出力が出なくなることを防止することができ低電圧駆動を実現することができる。

【0031】また、ドレイン電圧を 3 相駆動のパルスで\*

\* 動作することで、回路の誤動作を防止できると同時に、駆動パルス数を最も少なくできる。

【0032】本発明の信号伝送回路の駆動方法は、液晶ディスプレイ、MOS 型撮像装置低電圧駆動実現の要請に沿いながら、信号伝送回路をシフトレジスタに使用して、低電圧化を実現するものであって、産業上極めて有用である。

【図面の簡単な説明】

【図 1】本発明の実施の形態における信号伝送回路を示す図

【図 2】本発明の実施の形態における駆動および出力を説明する図

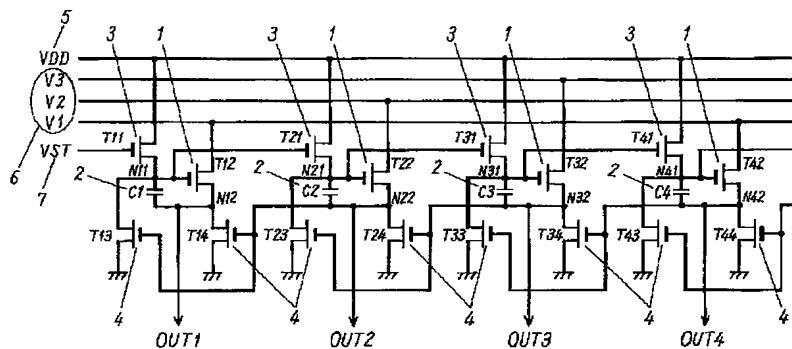
【図 3】従来の信号伝送回路を示す図

【図 4】従来の駆動および出力を説明する図

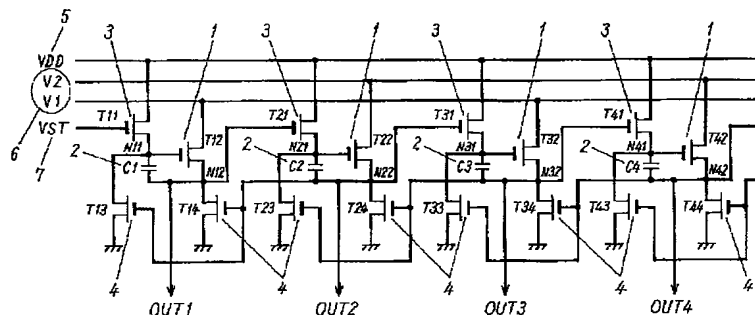
【符号の説明】

- 1 出力トランジスタ
- 2 ブートストラップ用容量
- 3 ブートストラップ用容量充電トランジスタ
- 4 放電トランジスタ
- 5 VDD 電源
- 6 駆動パルス
- 7 スタートパルス

【図 1】

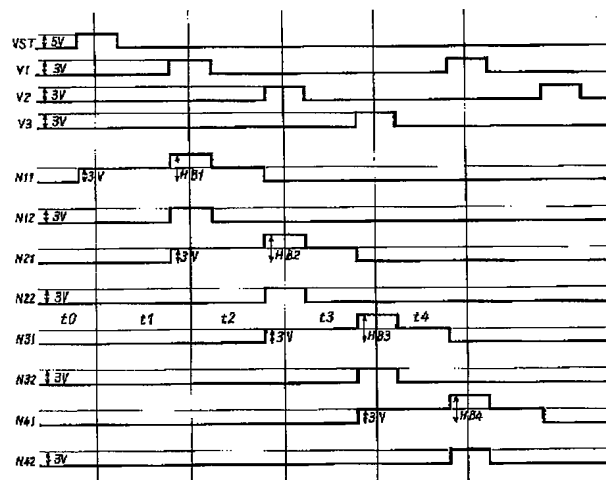


【図 3】

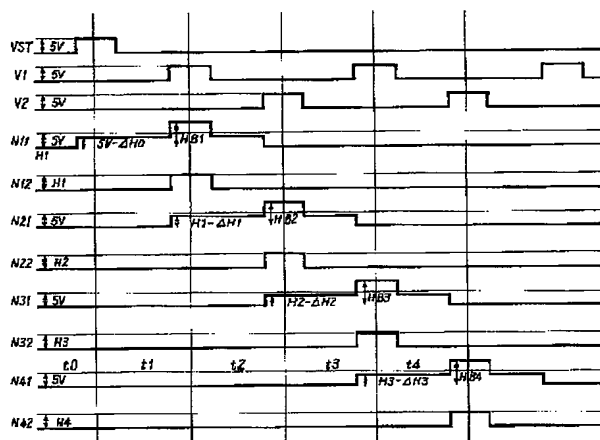




【図2】



【図4】



フロントページの続き

F ターム(参考) 5J056 AA05 BB17 BB18 CC29 DD13  
DD27 DD51 EE03 EE07 FF10  
GG09